

## SELF SUBSTRATE BIAS CIRCUIT

Patent Number: JP57142032  
Publication date: 1982-09-02  
Inventor(s): KONDOU TAKEO; others: 01  
Applicant(s):: TOKYO SHIBAURA DENKI KK  
Requested Patent:  JP57142032  
Application Number: JP19810028242 19810227  
Priority Number(s):  
IPC Classification: H03K19/094 ; G11C11/34  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To reduce power consumption even when an oscillating circuit is incorporated in a complementary MOS type semiconductor integrated circuit, by operating the oscillating circuit only as required with an external signal.

**CONSTITUTION:** An oscillation circuit OSC constitutes a closed loop by cascade-connecting inverters 1 and 2 of CMOS constitution and an NOR gate 3 and feeding back the output of the NOR gate 3 to the input of the inverter 1. A signal E to control the oscillating operation externally is given to the gate of MOS transistors (TRs) QP3 and QN4 of the NOR gate 3 in the oscillation circuit OSC. Further, a drive circuit DR is composed of a CMOS inverter 4, and a charge pump circuit CP consists of N channel MOS TRs QN6 and QN7. When the oscillating operation of the oscillation circuit OSC is desired to be stopped, it is done by setting the signal E to "1" level and the output of the NOR gate 3 to "0".

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭57-142032

⑫ Int. Cl.<sup>3</sup>  
H 03 K 49/094  
G 11 C 11/34

識別記号

庁内整理番号  
7631-5 J  
6549-5 B

⑬ 公開 昭和57年(1982)9月2日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 自己基板バイアス回路

⑮ 特 願 昭56-28242  
⑯ 出 願 昭56(1981)2月27日  
⑰ 発 明 者 近藤健夫  
川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社トランジス  
タ工場内

⑱ 発 明 者 舛岡富士雄  
川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社トランジス  
タ工場内  
⑲ 出 願 人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
⑳ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

自己基板バイアス回路

2. 特許請求の範囲

- (1) 外部信号によつて発振動作が制御される相補型トランジスタによつて構成された発振回路と、この発振回路の出力によつて駆動されるチャージポンプ回路とを具備したことを特徴とする自己基板バイアス回路。
- (2) 前記発振回路は、相補型トランジスタ構成の奇数個の反転回路による閉ループによつて構成され、このうちの一つの反転回路に外部信号を与えてその反転動作を制御することにより発振動作制御を行なうようにした特許請求の範囲第1項に記載の自己基板バイアス回路。

3. 発明の詳細な説明

この発明は、相補型MOS形半導体集積回路に適した自己基板バイアス回路に関する。

MOS形半導体集積回路、特にMOS形ダイ

ジタルメモリでは高集積化とともに動作速度の高速化が図られているが、いまだバイポーラ形の集積回路に比較してその動作速度は遅いものとなっている。その最大の理由は、MOSトランジスタのコンダクタンスがバイポーラトランジスタのものよりも小さいため、負荷容量の充放電に時間がかかることにある。このためMOS形半導体集積回路では、従来、たとえばNチャネルのものであれば電源として $V_{DD} = +5V$ 、 $V_{BB} = 0V$ の他にいわゆるバックゲートバイアス用として $V_{BB} = -5V$ を用意し、この $V_{BB}$ を集積回路のP形基板に印加することによつて、基板とソースおよびドレインとの間の容量を減少させ、これにより動作速度の高速化を図るようにしている。しかしながら上記のようにすると $V_{BB}$ 電源が別に必要となるばかりではなく、 $V_{BB}$ 印加用の外部端子が必要となるために高集積化が阻害されるという問題が生じる。

そこでさらに従来では上記のような問題を解

決するために、MOS形半導体集積回路内に負電圧を発生させるための自己基板バイアス回路を一体化形成したものが開発、実用化されている。この自己基板バイアス回路は第1図に示すように、ディプレツレオン形(以下D形と略称する)のMOSトランジスタ $Q_1$ とエンハンスメント形(以下E形と略称する)のMOSトランジスタ $Q_2$ とからなるE/D形のインバータINVの、入力端と出力端との間にE形のMOSトランジスタ $Q_3$ を介挿してなる発振回路OSCと、D形のMOSトランジスタ $Q_4$ とE形のMOSトランジスタ $Q_5$ とからなり上記発振回路OSCの出力を波形整形するE/Dのインバータによる駆動回路DRと、その一端が上記駆動回路DRの出力端に接続された容量C、この容量Cの他端と $V_{SS}(0V)$ 印加点との間に挿入されたE形のMOSトランジスタ $Q_6$ 、および容量Cの他端と基板Subとの間に挿入されたE形のMOSトランジスタ $Q_7$ 、からなるチャージポンプ回路CPとから構成されている。

いる。さらに最近では動作速度の高速化の要求は相補型MOS形半導体集積回路(以下CMOS・ICと略称する)でも強まり、このCMOS・ICにも自己基板バイアス回路を採用しようという動きが高まっている。しかしながらCMOS・ICに従来の自己基板バイアス回路を採用する場合には、消費電力の増加という問題が発生する。すなわち、自己基板バイアス回路以外の論理回路が動作していない時でも、自己基板バイアス回路内の発振回路は動作することになるため、この自己基板バイアス回路自体が大きな電力を消費してしまう。

この発明は上記のような事情を考慮してなされたものであり、その目的は、外部信号によつて発振回路を必要時にのみ動作させることによつて、相補型MOS形半導体集積回路内に一体化形成した場合であつても電力消費を少なくすることができる自己基板バイアス回路を提供することにある。

以下図面を参照してこの発明の一実施例を説

明する。なお、上記MOSトランジスタ $Q_1$ 、 $Q_2$ はすべてNチャネルのものであり、 $V_{DD}$ はたとえば+5Vの正極性電源である。

このような構成において、発振回路OSCはたとえば1MHzで発振し、駆動回路DRからは波形整形されたパルス信号が出力される。チャージポンプ回路CP内の二つのMOSトランジスタ $Q_6$ 、 $Q_7$ はダイオードすなわちポンプの弁として作用し、基板Subから正の電荷を吸い上げるため、発振回路OSCが発振を開始すると基板Subは負に帯電する。この結果、OSC発振開始後所定時間が経過すると基板Subは負極性の一定電位たとえば約-2.5V程度に保持され、前記のように外部から負電圧を印加した場合と同様に、基板Subと各MOSトランジスタのソースおよびドレインとの間の容量の減少が図られる。

上記のように自己基板バイアス回路を用いて動作速度の高速化を図ることは、特にNチャネルのスタティック形RAMでは広く利用されて

明する。

第2図においてOSCは発振回路であり、この発振回路OSCはPチャネルのMOSトランジスタ $Q_{P1}$ 、 $Q_{P2}$ 、それぞれとNチャネルのMOSトランジスタ $Q_{N1}$ 、 $Q_{N2}$ 、それぞれとからなるCMOS構成のインバータ1、2と、それぞれ2個のPチャネルのMOSトランジスタ $Q_{P3}$ 、 $Q_{P4}$ 、およびNチャネルのMOSトランジスタ $Q_{N3}$ 、 $Q_{N4}$ 、からなるCMOS構成のNORゲート3とを縦列接続し、さらにNORゲート3の出力をインバータ1に帰還することによつて閉ループを形成して構成されているリング発振回路の一種である。そしてこの発振回路OSC内のNORゲート3のMOSトランジスタ $Q_{P3}$ 、 $Q_{N3}$ 、それぞれのゲートには、この発振回路OSCの発振動作を外部から制御するための信号Eが与えられる。

DRは上記発振回路OSCの出力を波形整形するための駆動回路であり、PチャネルのMOSトランジスタ $Q_{P5}$ とNチャネルのMOSトラ

ンジスタ $Q_{N_1}$ とからなるCMOS構成のイン  
バータ1によつて構成されている。

またCPはチャージポンプ回路であり、従来  
と同様に容量Cと2個のNチャネルのMOSト  
ランジスタ $Q_{N_2}$ 、 $Q_{N_3}$ とから構成されている。

そして上記発振回路OSC、駆動回路DRお  
よびチャージポンプ回路CPからなるこの発明  
の自己基板バイアス回路は、図示しない他の相  
補型MOS形構成の論理回路とともに同一の半  
導体基板内に一体化形成され、チャージポン  
プ回路CP内のトランジスタ $Q_{N_2}$ のドレイン、  
ゲート接続点はNチャネルMOSトランジスタ  
が形成されているP型の基板あるいはウエル領  
域等のP型領域に接続されている。なお、第2  
図において $V_{DD}$ はたとえば+5Vの正極性電  
源であり、 $V_{SS}$ は0Vである。

また第3図は上記第2図に示す実施例回路の  
等価回路図であり、図中のダイオード5、6は  
前記MOSトランジスタ $Q_{N_2}$ 、 $Q_{N_3}$ に相当し  
ている。

させるようにしたので、相補型MOS形半導体  
集積回路内に一体化形成した場合であつても電  
力消費を少なくすることができる。

この発明は上記した一実施例に限定されるも  
のではなく、たとえば発振回路OSCは2個の  
インバータ1、2とNORゲート3とから構成  
され、このNORゲート3に与えられる信号B  
を"0"レベルに設定したときに発振する場  
合について説明したが、これはたとえば第4図に  
示すようにNORゲートの代りにそれぞれ2個  
のPチャネルのMOSトランジスタ $Q_{P_1}$ 、 $Q_{P_2}$   
およびNチャネルMOSトランジスタ $Q_{N_1}$ 、  
 $Q_{N_2}$ からなるNANDゲート7を用い、この  
NANDゲート7に与えられる信号B'を"1"  
レベルに設定したときにこのNANDゲート7  
を反転回路として作用させて発振動作させるよ  
うにしてもよく、また発振回路もリング発振回  
路である必要はなく、要するに外部信号によつ  
てその発振動作が制御可能なものであればどの  
ようなものでもよい。さらに上記実施例ではチ

上記のような構成において、いま自己基板バ  
イアス回路以外の論理回路が動作中のとき、信  
号Bが"0"レベル( $V_{SS}$ レベル)に設定さ  
れる。このとき発振回路OSC内のNORゲ  
ート3がインバータ2の出力を反転するため、発  
振回路OSCは発振動作する。したがつてチャ  
ージポンプ回路CPからは負極性の所定電圧が  
得られ、NチャネルMOSトランジスタが形成  
されているP型領域には負極性のバイアスが印  
加されるので、動作速度の高速化が図られる。

一方、論理回路が非動作中のときには信号B  
が"1"レベル( $V_{DD}$ レベル)に設定される。  
このときNORゲート3の出力は無条件に"0"  
レベルになり、インバータ2の出力を反転しな  
いので、発振回路OSCの発振動作が停止する。  
したがつて、信号Bが"1"レベルのとき、こ  
の自己基板バイアス回路における電力消費はほ  
んど零となる。

このように上記実施例によれば、負極性のバ  
イアスが必要な時にのみ発振回路OSCを動作

チャージポンプ回路CPにおいてP型領域から正  
の電荷を吸い上げ、このP型領域を負極性の電  
位に保持する場合について説明したが、これは  
第3図に示す等価回路における2個のダイオ  
ード5、6それぞれが逆極性接続となるように回  
路を構成し、チャージポンプ回路CPから正極  
性のバイアスを得るようにしてもよい。

以上説明したようにこの発明によれば、チャ  
ージポンプ回路を駆動するための発振回路を外  
部信号によつて必要時にのみ動作させるように  
したので、相補型MOS形半導体集積回路内に  
一体化形成した場合であつても電力消費を少な  
くすることができる自己基板バイアス回路を提  
供することができる。

#### 4. 図面の簡単な説明

第1図は従来の自己基板バイアス回路の構成  
図、第2図はこの発明に係る自己基板バイアス  
回路の構成図、第3図は上記実施例回路の等価  
回路図、第4図はこの発明の変形例の構成図で  
ある。

1, 2, 4... CMOS構成のインバータ、3  
 ... CMOS構成のNORゲート、5, 6... ダイ  
 オード、7... CMOS構成のNANDゲート、  
 OSC... 発振回路、DR... 駆動回路、CP... チ  
 ャーシポンプ回路、 $Q_{P1} \sim Q_{P7}$ ... Pチャネル  
 のMOSトランジスタ、 $Q_{N1} \sim Q_{N9}$ ... Nチャ  
 ネルのMOSトランジスタ、

出願人代理人 弁理士 鈴木 武彦

図 1

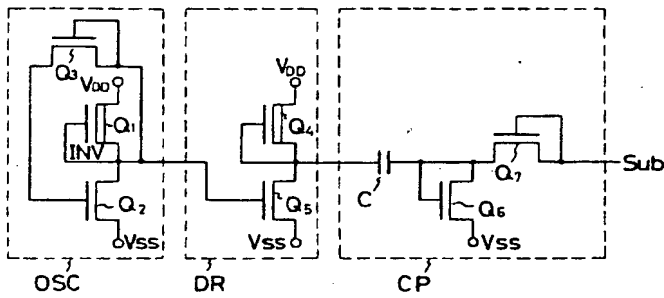


図 2

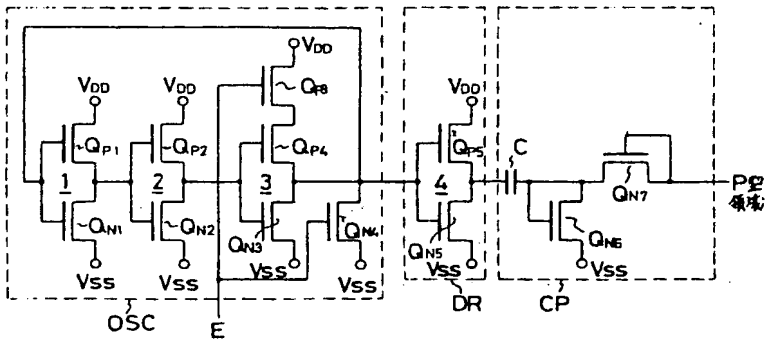


図 3

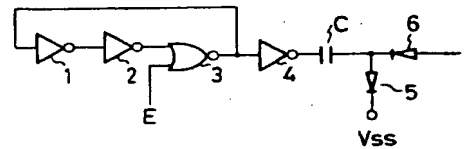


図 4

